



(19)

Generated Document

(11) Publication number:

07302497 A

PATENT ABSTRACTS OF JAPAN

(21) Application number: 06094278

(51) Intl. Cl.: G11C 11/419 G11C 11/409

(22) Application date: 06.05.94

(30) Priority:

(71) Applicant: MITSUBISHI ELECTRIC CORP

(43) Date of application publication: 14.11.95

(72) Inventor: TAKAHASHI JUN
WADA TOMOHISA

(84) Designated contracting states:

(74) Representative:

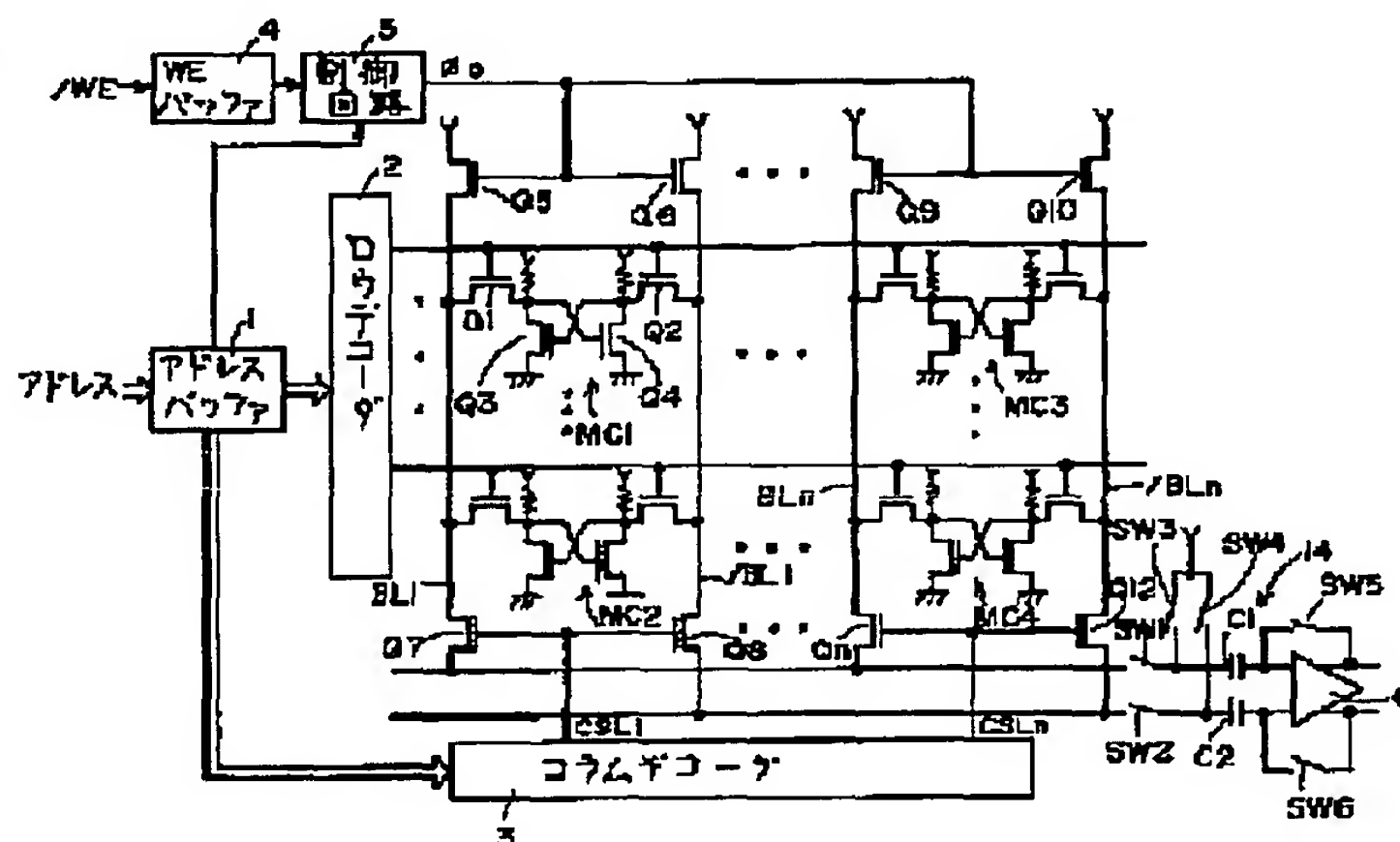
(54) SENSE AMPLIFIER CIRCUIT OF SEMICONDUCTOR STORAGE DEVICE

(57) Abstract:

PURPOSE: To form a sense amplifier circuit of a semiconductor storage device which can remove offset and prevent lowering of read-out time from the memory cell.

CONSTITUTION: Before reading-out data, switches SW1, SW2 are opened to detach a differential circuit 6 from the output line and switches SW3 to SW6 are closed to accumulate the offset voltage appearing in the output of the differential circuit 6 in capacitors C1, C2. At the time of reading-out data, switches SW3 to SW6 are opened and SW1, SW2 are closed to offset the offset voltage accumulated in the capacitors C1, C2 from the input signal and to thereby cancel the offset voltage.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-302497

(43) 公開日 平成7年(1995)11月14日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/419

11/409

G 1 1 C 11/ 34

3 1 1

3 5 3 E

審査請求 未請求 請求項の数9 O L (全 14 頁)

(21) 出願番号

特願平6-94278

(22) 出願日

平成6年(1994)5月6日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 高橋 潤

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社ユー・エル・エス・アイ開発研究所内

(72) 発明者 和田 知久

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社ユー・エル・エス・アイ開発研究所内

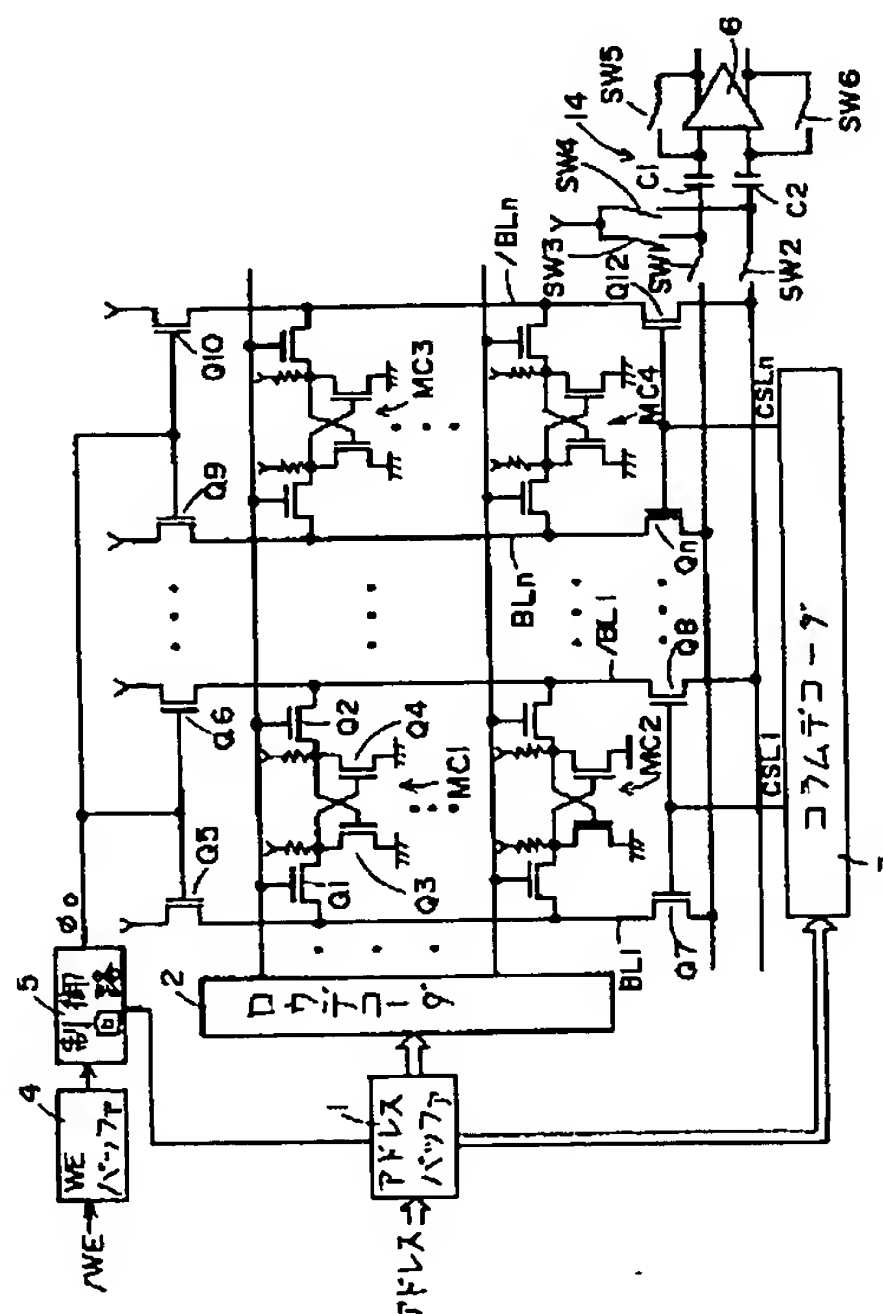
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体記憶装置のセンスアンプ回路

(57) 【要約】

【目的】 オフセットを取除いてメモリセルからの読出し時間の低下を防止し得る半導体記憶装置のセンスアンプ回路を提供する。

【構成】 データの読出し前にスイッチSW1, SW2を開いて差動回路6をデータ出力線から切離し、スイッチSW3~SW6を閉じて差動回路6の出力に現れるオフセット電圧をコンデンサC1, C2に蓄積し、データの読出時にスイッチSW3~SW6を開き、SW1, SW2を閉じてコンデンサC1, C2に蓄積されたオフセット電圧を入力信号から相殺することによってオフセット電圧をキャンセルする。



【特許請求の範囲】

【請求項1】 メモリセルからビット線対に読出された電位差を増幅するための差動回路を含み、前記差動回路の出力に現れるオフセット電圧をキャンセルする半導体記憶装置のセンスアンプ回路であって、

前記差動回路の出力に現れるオフセット電圧を蓄積するためのコンデンサ、および前記メモリセルからの信号の読出し前に前記差動回路の入力を切離して前記オフセット電圧を前記コンデンサに蓄積し、読出し後に前記差動回路の入力を接続して前記メモリセルからの入力電圧と前記コンデンサに蓄積された電圧とを相殺するように切

換制御する切換制御手段を備えた、半導体記憶装置のセンスアンプ回路。

【請求項2】 前記切換制御手段は、前記差動回路の入力に前記メモリセルからの信号が与えられないように切離す第1の切換素子と、前記コンデンサに前記オフセット電圧が与えられるように切換えられる第2の切換素子と、前記メモリセルからの信号読出し前に、前記第1の切換素子を非導通にして前記差動回路の入力を切離し、かつ前記第2の切換素子を導通させて前記コンデンサに前記オフセット電圧を蓄積し、信号読出し後に前記第1の切換素子を導通させかつ前記第2の切換素子を非導通にして、前記メモリセルからの入力電圧と前記コンデンサに蓄積された電圧を相殺するように制御する制御手段を含む、請求項1の半導体記憶装置のセンスアンプ回路。

【請求項3】 前記コンデンサは、前記差動回路の入力端に直列接続され、前記第1の切換素子は、前記コンデンサと前記ビット線対側との間に接続され、前記第2の切換素子は、前記第1の切換素子と前記コンデンサとの接続点と基準電位との間に接続される第3の切換素子と、前記差動回路の入力端と出力端との間に接続される第4の切換素子を含む、請求項2の半導体記憶装置のセンスアンプ回路。

【請求項4】 前記コンデンサは、その一端が前記差動回路の出力端に直列接続され、前記第1の切換素子は、前記差動回路の入力端と前記ビット線対側との間に接続され、前記第2の切換素子は、前記差動回路の入力端と基準電位との間に接続される第5の切換素子と、前記コンデンサの他端と前記基準電位との間に接続される第6の切換素子とを含む、請求項2の半導体記憶装置のセンスアンプ回路。

【請求項5】 前記差動回路と前記コンデンサと前記切換制御手段は少なくとも2組設けられ、さらに前記少なくとも2組の差動回路の出力を切換えるための出力切換手段を含み、

前記切換制御手段は、前記少なくとも2つのコンデンサのいずれか一方にオフセット電圧を蓄積しているときに、他方の差動回路から信号が出力されるように前記出力切換手段を制御する、請求項1～4のいずれかに記載の半導体記憶装置のセンスアンプ回路。

【請求項6】 前記切換制御手段は、前記コンデンサに前記オフセット電圧を蓄積した後、アドレス信号が変化しかつ前記ビット線対が選択されたことに応じて、前記差動回路に前記メモリセルからの信号を与えるように制御する、請求項1ないし5の半導体記憶装置のセンスアンプ回路。

【請求項7】 メモリセルからビット線対に読出された電位差を転送するための電流転送回路を含み、前記電流転送回路の出力に現れるオフセット電流をキャンセルするようにした半導体記憶装置のセンスアンプ回路であって、前記電流転送回路の出力端に接続されるダイナミックカレントミラー回路、前記ダイナミックカレントミラー回路に接続されるコンデンサ、および前記メモリセルからの信号読出し前に前記オフセット電流に相当する電圧を前記コンデンサに蓄積し、読出し後に前記コンデンサの充電電圧を放電させて、前記ダイナミックカレントミラー回路に電流を流し、前記電流転送回路の出力に現れるオフセット電流を相殺させる制御手段を備えた、半導体記憶装置のセンスアンプ回路。

【請求項8】 前記カレントミラー回路は、前記電流転送回路の出力端に接続されるカレントミラー回路と、その第1の電極と第2の電極とが前記カレントミラー回路と基準電位との間に接続されるトランジスタとを含み、前記コンデンサは、前記トランジスタの入力電極と前記基準電位との間に接続され、前記制御手段は、前記トランジスタの第2の電極と入力電極との間に接続される切換素子と、前記メモリセルからの信号読出し前に前記切換素子を導通させて、前記コンデンサを充電し、読出し後に前記切換素子を非導通となるように制御する切換制御手段を含む、請求項7の半導体記憶装置のセンスアンプ回路。

【請求項9】 前記切換制御手段は、前記切換素子を導通させた後、アドレス信号が変化しかつ前記ビット線対が選択されたことに応じて前記切換素子を非導通にする、請求項8の半導体記憶装置のセンスアンプ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体記憶装置のセンスアンプ回路に関し、たとえば、SRAM（スタティックRAM）などに用いられ、オフセット電圧あるいはオ

フセット電流をキャンセルするような半導体記憶装置のセンスアンプ回路に関する。

【0002】

【従来の技術】図20は従来のSRAMの一例を示すブロック図である。図20において、アドレスバッファ1には外部からアドレス信号が与えられ、そのアドレス信号に応じてXアドレス信号とYアドレス信号とが出力される。Xアドレス信号はロウデコーダ2に与えられ、ロウデコーダ2はXアドレス信号に応じて、ワード線WL1...WL_nを駆動する。Yアドレス信号はコラムデコーダ3に与えられてデコードされ、ビット線対BL1、/BL1...BL_n、/BL_nを選択するためのコラム選択信号CSL1...CSL_nが出力される。書込信号/WEはWEバッファ4を介して制御回路5に与えられ、制御回路5から制御信号φ₀が出力される。

【0003】各ワード線WL1...WL_nとビット線対BL1、/BL1...BL_n、/BL_nの交点には、メモリセルMC1...MC₄が接続される。メモリセルMC1は2個のトランスファークゲートQ1、Q2と、ドライバトランジスタQ3、Q4と負荷R1、R2とを含む。トランスファークゲートQ1、Q2のそれぞれのゲートはワード線WL1に接続され、トランスファークゲートQ1のドレインはビット線BL1に接続され、トランスファークゲートQ2のドレインは反転ビット線/BL1に接続される。ドライバトランジスタQ3、Q4と負荷R1、R2とによって2個のインバータが構成され、これらのインバータがクロスカップリングされ、1個のフリップフロップとして機能する。他のメモリセルMC2...MC₄も同様に構成される。

【0004】ビット線対BL1、/BL1の一端側にはpチャネルトランジスタQ5、Q6のドレインが接続され、pチャネルトランジスタQ5、Q6のゲートには制御回路5から制御信号φ₀が与えられる。pチャネルトランジスタQ5、Q6はビット線対BL1、/BL1の負荷となる。ビット線対BL1、/BL1の他端にはゲートトランジスタQ7、Q8のドレインが接続され、ゲートトランジスタQ7、Q8のゲートにはコラムデコーダ3からコラム選択信号CSL1が与えられる。ゲートトランジスタQ7、Q8のソースはデータ出力線を介してセンスアンプを構成する差動回路6の入力端に接続される。

【0005】差動回路6はビット線対BL1、/BL1に読出された微弱な電圧差を増幅するものであって、相補入力、相補出力が取出されるように構成されている。そして、差動回路6はnチャネルトランジスタQ13～Q16と定電流源CIとを含む。すなわち、nチャネルトランジスタQ15、Q16の各ゲートにはデータ出力線が接続され、各ソースには定電流源CIが接続される。トランジスタQ15のドレインはトランジスタQ13のソースとトランジスタQ14のゲートに接続され、

トランジスタQ16のドレインはトランジスタQ13のゲートとトランジスタQ14のソースに接続される。トランジスタQ13とQ14の各ドレインは電源電圧V_{cc}のラインに接続される。トランジスタQ15、Q16の各ドレインから出力が取出され、出力アンプ8に与えられ、出力アンプ8から読出データRDが出力される。なお、図20において書込回路は省略されている。

【0006】次に、図20に示したSRAMの読出動作について説明する。アドレス信号がアドレスバッファ1に与えられると、Xアドレス信号がロウデコーダ2に与えられ、たとえばワード線WL1が駆動されて「H」レベルになる。また、アドレスバッファ1からYアドレス信号が出力され、コラムデコーダ3に与えられてデコードされ、たとえばコラム選択信号CSL1が「H」レベルになると、転送ゲートQ7、Q8が導通し、ビット線対BL1、/BL1がデータ線に接続される。ワード線WL1が「H」レベルになっていることによってトランスファークゲートQ1、Q2が導通し、ドライバトランジスタQ3、Q4からなるフリップフロップに記憶されたデータがビット線対BL1、/BL1に読出される。このとき、ビット線対BL1、/BL1のうち、メモリセルMC1が「L」レベルを記憶しているノードに接続されているほうが、(セルによって引抜かれる電流値)×(負荷となるトランジスタQ5、Q6の抵抗値)の電圧分だけ振幅する。このデータは、転送ゲートQ7、Q8を介してデータ線に出力され、差動回路6に入力される。差動回路6はデータの振幅を増幅し、出力アンプ8を介して外部に出力する。

【0007】図20はビット線対BL1、/BL1に読出されたデータの電圧差を増幅する例について説明したが、図21は電流差を増幅する例を示し、図20のトランジスタQ5、Q6、メモリセルMC1、MC2、差動回路6に相当するデータ読出経路のみを示したものであり、その他の回路は省略されている。この図21では、図20に示した差動回路6に代えて電流転送回路7が設けられている。電流転送回路7はビット線対BL1、/BL1に生じた電流の差、すなわちメモリセルMC1...MC2の電流値を小さい遅延時間で出力するものであり、pチャネルトランジスタQ21～Q24を含む。トランジスタQ21、Q22のソースには図示しない転送ゲートを介してビット線対BL1、/BL1からデータが与えられる。トランジスタQ21、Q22はそのゲートとドレインとがクロスカップル接続され、トランジスタQ23、Q24のソースに接続されている。トランジスタQ23、Q24のゲートは接地され、それぞれのドレインはトランジスタQ25、Q26のそれぞれのゲートとドレインとに接続され、トランジスタQ25、Q26のソースは接地される。

【0008】トランジスタQ25、Q26はトランジスタQ27、Q28とともにカレントミラー回路を構成す

る。トランジスタQ27, Q28のドレインにはトランジスタQ29, Q30からなるカレントミラー回路9が接続されている。そして、トランジスタQ25, Q26は電流転送回路7から与えられた電流値を、トランジスタQ27, Q28を介してカレントミラー回路9に与える。そして、トランジスタQ30のソースとトランジスタQ28のドレインとの接続点から出力信号が出力される。

【0009】図21に示した電流を用いてデータの読出しを行なう電流センス回路は、図20に示したようにビット線対BL1, /BL1のように容量が大きいノードを差動回路6によって振幅させないため、高速読出しが可能であるという利点がある。

【0010】

【発明が解決しようとする課題】ところで、実際のデバイスでは、半導体集積回路を構成する素子は製造プロセスのばらつきなどによって特性がばらついてしまうのが普通である。つまり、半導体素子の寸法が設定した値と異なってしまふことで、たとえば抵抗の値やトランジスタの駆動能力がずれてしまったり、トランジスタのしきい値電圧などの電気的特性がやはり設定した値から外れることが起こり得る。このため、センスアンプ回路にオフセット電圧値や電流値に相当する大きさを持つ電圧源、電流源が接続された場合と等価となり、入力信号が入力されなくても、ある一方方向に偏った出力が得られてしまふ。

【0011】図22は図20に示した差動回路6において出力にオフセットを生じることを説明するための図である。図20に示した電圧センス方式の場合、差動回路6をゲートに電流が流れないMOSトランジスタで構成されたものを考えているので、図22に示すように、理想的な差動回路6の入力端子の片側にオフセット電圧値に相当する大きさを持つ電圧源（オフセット電圧源）10, 11が接続されているのと等価な状態になる。したがって、オフセット電圧と逆の極性の信号に対しては、このオフセット電圧の分だけ感度が低下していることと等価となる。これは1個のセンスアンプについて考えても、センス時間（微弱な信号が増幅されて出力されるまでの時間）の増大を招くことがわかる。また、実際のメモリICでは複数個のセンスアンプが用いられているため、センスアンプごとにセンス時間がばらついてしまふ。その結果、上述の感度不足とばらつきのためのセンスアンプの入力信号の大きさ（具体的にはメモリICのデータ線振幅）を必要以上に大きくしなければならなくなり、トータルのメモリの読出し時間を遅くする要因となっている。

【0012】図23は図21に示した電流転送回路において出力にオフセット電流を生じることを説明するための図である。図21に示した電流センス方式の回路においても上述と同様の原因でオフセット電流が流れる。こ

の電流センス方式の回路にオフセット電流が発生した場合、原則的に電流転送回路7の入力端子の間には電圧差が発生しないため、図23に示したように理想的な電流転送回路12の入力端子の間にオフセット電流値に相当する大きさを持つ電流源（オフセット電流源）13が接続されているのと等価な状態になる。そして、上述の場合と同様にして、入力信号が入力されなくても（理想的な場合にはメモリセルがビット線対から電流を引くことで、始めてビット線対の電流の差が生じて電流差が転送される。）、ある一方方向に偏った出力が得られてしまふ。そして、メモリの読出し時間を遅くする要因となるのも前述と同じである。

【0013】それゆえに、この発明の主たる目的はオフセットを取除いてメモリセルからの読出し時間の低下を防止し得る半導体記憶装置のセンスアンプ回路を提供することである。

【0014】この発明の他の目的は、電圧をセンスするセンスアンプ回路において、オフセット電圧をキャンセルできるような半導体記憶装置のセンスアンプ回路を提供することである。

【0015】この発明のさらに他の目的は、電流センスするセンスアンプ回路においてオフセット電流をキャンセルできるような半導体記憶装置のセンスアンプ回路を提供することである。

【0016】

【課題を解決するための手段】請求項1に係る発明は、メモリセルからビット線対に読出された電位差を増幅するための差動回路を含み、差動回路の出力に現れるオフセット電圧をキャンセルする半導体記憶装置のセンスアンプ回路であって、差動回路の出力に現れるオフセット電圧を蓄積するためのコンデンサと、メモリセルからの信号の読出し前に差動回路の入力を切離し、オフセット電圧をコンデンサに蓄積し、読出し後に差動回路の入力を接続し、メモリセルからの入力電圧とコンデンサに蓄積された電圧とを相殺するように切換制御する切換制御手段とを備えて構成される。

【0017】請求項2に係る発明では、請求項1の切換制御手段は、差動回路の入力にメモリセルからの信号が与えられないように切離す第1の切換素子と、コンデンサにオフセット電圧が与えられるように切換えられる第2の切換素子と、メモリセルからの信号読出し前に、第1の切換素子を非導通にして差動回路の入力を切離し、第2の切換素子を導通させてコンデンサにオフセット電圧を蓄積し、信号読出し後に第1の切換素子を導通させかつ第2の切換素子を非導通にして、メモリセルからの入力電圧とコンデンサに蓄積された電圧を相殺するように制御する制御手段とを含む。

【0018】請求項3に係る発明では、請求項2のコンデンサは、差動回路の入力端に直列接続され、第1の切換素子は、コンデンサとビット線対側との間に接続さ

10

20

30

40

50

れ、第2の切換素子は、第1の切換素子とコンデンサとの接続点と基準電位との間に接続される第3の切換素子と、差動回路の入力端と出力端との間に接続される第4の切換素子を含む。

【0019】請求項4に係る発明では、請求項3のコンデンサは、その一端が差動回路の出力端に直列接続され、第1の切換素子は、差動回路の入力端とビット線対側との間に接続され、第2の切換素子は、差動回路の入力端と基準電位との間に接続される第5の切換素子と、コンデンサの他端と基準電位との間に接続される第6の

切換素子とを含む。

【0020】請求項5に係る発明では、請求項1ないし4の差動回路とコンデンサと切換制御手段が少なくとも2組設けられ、さらに少なくとも2組の差動回路の出力を切換えるための出力切換手段を含み、切換制御手段は、少なくとも2つのコンデンサのいずれか一方にオフセット電圧を蓄積しているときに、他方の差動回路から信号が出力されるように出力切換手段を制御する。

【0021】請求項6に係る発明では、請求項1ないし4の切換制御手段は、コンデンサにオフセット電圧を蓄積した後、アドレス信号が変化しかつビット線対が選択されたことに応じて、差動回路にメモリセルからの信号を与えるように制御する。

【0022】請求項7に係る発明は、メモリセルからビット線対に読出された電流差を転送するための電流転送回路を含み、電流転送回路の出力に現れるオフセット電流をキャンセルする半導体記憶装置のセンスアンプ回路であって、電流転送回路の出力端に接続されるダイナミックカレントミラー回路と、ダイナミックカレントミラー回路に接続されるコンデンサと、メモリセルからの信号読出し前にオフセット電流に相当する電圧をコンデンサに蓄積し、読出し後にコンデンサの充電電圧を放電させて、ダイナミックカレントミラー回路に電流を流し、電流転送回路の出力に現れるオフセット電流を相殺させる制御手段を備えて構成される。

【0023】請求項8に係る発明では、請求項7のダイナミックカレントミラー回路は、電流転送回路の出力端に接続されるカレントミラー回路と、その第1の電極と第2の電極とがカレントミラー回路と基準電位との間に接続されるトランジスタとを含み、コンデンサは、トランジスタの入力電極と基準電位との間に接続され、制御手段は、トランジスタの第2の電極と入力電極との間に接続される切換素子と、メモリセルからの信号読出し前に切換素子を導通させて、コンデンサを充電し、読出し後に切換素子を非導通となるように制御する切換制御手段を含む。

【0024】請求項9に係る発明では、請求項8の切換制御手段は、切換素子を導通させた後、アドレス信号が変化しかつビット線対が選択されたことに応じて切換素子を非導通にする。

【0025】

【作用】請求項1に係る発明は、メモリセルからの信号の読出し前に差動回路の入力をビット線対側から切離して、差動回路の出力に現れるオフセット電圧をコンデンサに蓄積し、読出し後に差動回路の入力を接続し、メモリセルからの入力電圧とコンデンサに蓄積された電圧とを相殺することにより、オフセット電圧を気にすることなく電圧センスでき、センスアンプに入力される信号の大きさを必要以上に大きくする必要はなくなり、高速で動作できる。

【0026】請求項2に係る発明は、メモリセルからの信号読出し前に、差動回路の入力に接続されている第1の切換素子を非導通にして差動回路の入力を切離し、第2の切換素子を導通させてオフセット電圧をコンデンサに蓄積し、信号読出し後に第1の切換素子を導通させかつ第2の切換素子を非導通にすることによって、メモリセルからの入力電圧とコンデンサに蓄積された電圧を相殺することにより、オフセット電圧をキャンセルする。

【0027】請求項3に係る発明では、差動回路の入力端にコンデンサを直列接続し、信号読出し前にこのコンデンサとビット線対側との間に接続された第1の切換素子を非導通にするとともに、第1の切換素子とコンデンサとの接続点と基準電位との間に接続される第3の切換素子と差動回路の入力端と出力端との間に接続される第4の切換素子を導通させ、信号読出し後に第1の切換素子を導通させるとともに第3および第4の切換素子を非導通にしてオフセット電圧をキャンセルする。

【0028】請求項4に係る発明では、差動回路の出力端にコンデンサを直列接続し、信号読出し前に差動回路の入力端とビット線対側との間に接続された第1の切換素子を非導通にし、かつ差動回路の入力端と基準電位との間に接続される第5の切換素子と、コンデンサの他端と基準電位との間に接続される第6の切換素子を導通させてコンデンサを充電し、信号読出し後に第1の切換素子を導通にするとともに第5および第6の切換素子を非導通にしてオフセット電圧をキャンセルする。

【0029】請求項5に係る発明では、差動回路とコンデンサと切換制御手段を少なくとも2組設け、2組の差動回路の出力を、いずれか一方のコンデンサにオフセット電圧を蓄積しているときに他方の差動回路から信号が出力されるように切換制御することにより、コンデンサを再充電するための余計なタイミングを作る必要がなく、より高速な電圧センサが可能となる。

【0030】請求項6に係る発明は、コンデンサにオフセット電圧を蓄積した後、アドレス信号が変化しかつビット線対が選択されたことに応じて差動回路にメモリセルからの信号を与えてオフセット電圧をキャンセルする。

【0031】請求項7に係る発明は、電流センス回路であって、メモリセルからの信号読出し前にオフセット電

10

20

30

40

50

流に相当する電圧をコンデンサに蓄積しておき、読出し後コンデンサの充電電圧を放電して、ダイナミックカレントミラー回路に電流を流し、電流転送回路の出力に現れるオフセット電流を相殺し、オフセット電流をキャンセルする。

【0032】請求項8に係る発明では、ダイナミックカレントミラー回路に含まれるカレントミラー回路にトランジスタを接続し、信号読出し前に切換素子を導通させてトランジスタの第2の電極と入力電極を接続してコンデンサを充電し、信号読出し後は切換素子を非導通にしてコンデンサに充電された電圧に応じた電流をトランジスタからカレントミラー回路に流し、この電流で電流転送回路のオフセット電流を相殺する。

【0033】請求項9に係る発明では、アドレス信号が変化し、かつビット線対が選択されたことに応じて切換素子を非導通にし、トランジスタからカレントミラー回路に電流を流してオフセット電流をキャンセルし、電流をセンスする。

【0034】

【実施例】図1はこの発明の一実施例のブロック図である。この実施例では、オフセットキャンセル機能付センスアンプ14が設けられる。オフセットキャンセル機能付センスアンプ14は、差動回路6の入力に直列接続されるコンデンサC1、C2と、コンデンサC1、C2とデータ線との間に接続されるスイッチSW1、SW2と、コンデンサC1、C2に電荷を蓄えるためのスイッ

$$V_{C1} - V_{C2} = -A(V_{i1} - V_{i2})$$

$$= -A(V_{C1} - V_{OS1} - V_{C2} - V_{OS2})$$

$$= -A\{V_{C1} - V_{C2} - (V_{OS1} + V_{OS2})\}$$

$$\therefore V_{C1} - V_{C2} = \frac{A}{A+1} (V_{OS1} + V_{OS2}) \approx V_{OS1} + V_{OS2}$$

$$\left(\because A \gg 1, \frac{A}{A+1} \approx 1 \right)$$

【0039】コンデンサC1、C2にオフセット電圧 V_{OS1} 、 V_{OS2} が蓄えられた状態で、スイッチSW3～SW6を開き、スイッチSW1、SW2を閉じると、図4に示す状態となり、センス電圧 V_{INa} 、 V_{INb} が入力さ

$$V_{Oa} - V_{Ob} = -A[V_{INa} - (V_{CC} - V_{C1}) - V_{OS1}$$

$$- \{V_{INb} - (V_{CC} - V_{C2}) + V_{OS2}\}]$$

$$= -A[V_{INa} - V_{INb} - V_{CC} + V_{CC}$$

$$+ V_{C1} - V_{C2} - V_{OS1} - V_{OS2}]$$

$$= -A(V_{INa} - V_{INb} + (V_{C1} - V_{C2}) - (V_{OS1} + V_{OS2}))$$

$$\approx -A(V_{INa} - V_{INb})$$

$$(\because V_{C1} - V_{C2} \approx V_{OS1} + V_{OS2})$$

【0041】上述の第(3)式から明らかなように、コンデンサC1、C2に蓄積されたオフセット電圧によって差動回路6から出力されるオフセット電圧を相殺でき

ちSW3、SW4と、差動回路6の入出力間に接続されるスイッチSW5、SW6とを含む。この実施例におけるデータの読出動作は、従来例の図20と同じであるため、以下の説明ではオフセットキャンセル機能付センスアンプ14による差動回路6のオフセットキャンセル動作について説明する。図2～図4はオフセットキャンセル機能付センスアンプの動作を説明するための図である。スイッチSW1～SW6が開かれているときには、図2に示すように、差動回路6の入力側にオフセット電圧 V_{OS1} 、 V_{OS2} を有するオフセット電圧源10、11が接続されているものと等価となる。

【0035】このとき、差動回路6の入力端の電圧 V_{i1} 、 V_{i2} と出力端の電圧 V_{O1} 、 V_{O2} は、増幅度をAとすると、次の第(1)式で表わされる。

【0036】

【数1】

$$(V_{O1} - V_{O2}) = -A(V_{i1} - V_{i2})$$

【0037】オフセット電圧 V_{OS1} 、 V_{OS2} をコンデンサC1、C2に蓄えるために、スイッチSW1、SW2を開き、スイッチSW3～SW6を閉じると、図3に示す回路となり、コンデンサC1の両端電圧は $V_{CC} - V_{C1}$ となり、コンデンサC2の両端電圧は $V_{CC} - V_{C2}$ となる。 $V_{C1} - V_{C2}$ は次の第(2)式で表される。

【0038】

【数2】

れると、差動回路6の出力電圧 V_{Oa} 、 V_{Ob} の差は第(3)式で表される。

【0040】

【数3】

るため、差動回路6のオフセットに影響されずに、メモリセルからのデータをセンスできる。

【0042】したがって、この実施例によれば、センス

アンプのオフセットのばらつきを考えなくてもよいので、センスアンプの入力信号の大きさを、すなわちビット線対BL1、 \neg BL1に現れる電圧の振幅を必要以上に大きくする必要はなくなり、高速で動作が可能となる。

【0043】図5はオフセットキャンセル機能付センスアンプ回路の他の例を示す図である。この例は、差動回路6の相補出力にそれぞれコンデンサC3、C4の一端を接続し、コンデンサC3、C4の他端と電源電圧Vccとの間にスイッチSW5、SW6を接続したものである。この例では、スイッチSW1、SW2を開き、スイッチSW3～SW6と閉じてコンデンサC3、C4にオフセット電圧を蓄積し、スイッチSW3～SW6の開き、スイッチSW1、SW2を閉じると、コンデンサC3、C4に蓄積されたオフセット電圧と差動回路6から出力されるオフセット電圧を相殺できる。

【0044】図6は図1に示したオフセット電圧キャンセル機能付センスアンプの具体的な電気回路図である。差動回路6は従来例の図20に示したものと同様にし、nチャネルトランジスタQ13～Q16を含み、さらにnチャネルトランジスタQ15とQ16のソースはnチャネルトランジスタQ17のドレインに接続され、nチャネルトランジスタQ17のソースは接地され、そのゲートにセンスアンプ駆動信号SAEが与えられる。スイッチSW1～SW4はそれぞれnチャネルトランジスタで構成されていて、スイッチSW1、SW2は制御信号 ϕ_1 が「H」レベルになると導通し、スイッチSW3、SW4は制御信号 ϕ_2 が「H」レベルになると導通する。スイッチSW5、SW6はそれぞれnチャネルトランジスタとpチャネルトランジスタとそれぞれのドレインとソース同士が接続されて構成され、nチャネルトランジスタのゲートには制御信号 ϕ_3 が与えられ、pチャネルトランジスタのゲートには制御信号 ϕ_3 がインバータ14で反転されて与えられる。差動回路6の相補出力には出力アンプ15が接続される。

【0045】図7および図8は図6に示した制御信号 ϕ_1 ～ ϕ_3 を発生するための回路図である。

【0046】図7はアドレス信号の変化に応じてATD信号を発生し、図8はATD信号に応じて制御信号 ϕ_1 ～ ϕ_3 を発生する。すなわち、図7に示すように、アドレス信号がインバータ21～24で遅延され、nチャネルトランジスタQ31とpチャネルトランジスタQ34のゲートに与えられるとともに、インバータ25で反転されてnチャネルトランジスタQ32とpチャネルトランジスタQ33の各ゲートに与えられる。nチャネルトランジスタQ31とpチャネルトランジスタQ33はそれぞれのドレインとソース、ソースとドレインが接続され、nチャネルトランジスタQ32とpチャネルトランジスタQ34はそれぞれのドレインとソース、ソースとドレインが接続されている。nチャネルトランジスタQ

31のドレインにはアドレス信号が与えられ、nチャネルトランジスタQ32のドレインにはアドレス信号がインバータ26で反転されて与えられる。

【0047】アドレス信号が「L」レベルのとき、インバータ24の出力は「L」レベルになり、インバータ25の出力は「H」レベルになるため、nチャネルトランジスタQ32とpチャネルトランジスタQ34が導通し、インバータ26で反転された「H」レベルのアドレス信号が出力され、インバータ27で反転されて、ATD信号が「L」レベルとなっている。アドレス信号が「L」レベルから「H」レベルに立上ると、その時点ではインバータ24の出力が「L」レベルであり、インバータ25の出力が「H」レベルであるため、nチャネルトランジスタQ32とpチャネルトランジスタQ34は導通しており、インバータ26で反転された「L」レベルのアドレス信号が出力され、さらにインバータ27で反転されてATD信号が「H」レベルに立上る。

【0048】アドレス信号がインバータ21～24で遅延され、インバータ24の出力が「H」レベルになり、インバータ25の出力が「L」レベルになると、nチャネルトランジスタQ32とpチャネルトランジスタQ34が非導通となり、nチャネルトランジスタQ31とpチャネルトランジスタQ33が導通し、「H」レベル信号がインバータ27に出力され、インバータ27の出力が「L」レベルになって、ATD信号が「L」レベルに立下る。すなわち、ATD信号は、アドレス信号が「L」レベルから「H」レベルに立下ると、「H」レベルに立下り、インバータ21～24で決まる遅延時間後に「L」レベルに立下る。

【0049】このATD信号は図8に示すNORゲート31、32の一方入力端に与えられるとともに、遅延回路33、34に与えられる。遅延回路33、34の出力はNORゲート31、32の他方入力端に与えられる。NORゲート31の出力はインバータ35で反転され、さらにインバータ37で反転されて制御信号 ϕ_1 として出力される。なお、センスアンプ駆動信号SAEはコラム選択信号と同一のタイミングで与えられる。

【0050】NORゲート32の出力はインバータ36で反転され、制御信号 ϕ_1 として出力されるとともに、インバータ36の出力はインバータ38、39で反転されて、制御信号 ϕ_2 、 ϕ_3 が出力される。

【0051】図9は図6～図8の動作を説明するためのタイムチャートである。図9(a)に示すアドレス信号が「L」レベルから「H」レベルになると、図7に示したATD発生回路が図9(b)に示すATD信号を発生する。このATD信号は図8に示したNORゲート31、32と遅延回路33、34に与えられる。NORゲート31、32の出力は、ATD信号が「H」レベルに立上ってから、遅延回路33、34で決まる遅延時間だけATD信号が遅延されて出力される。センスアンプ駆

動信号SAEによって図6に示した差動回路6が駆動される。インバータ35の出力はインバータ37で反転され、図9(f)に示す制御信号 ϕ_0 が出力され、図1に示したnチャネルトランジスタQ5、Q6が導通し、ビット線BL1、 $\overline{BL1}$ がプリチャージされる。

【0052】NORゲート32の出力はインバータ36で反転され、図9(g)に示す制御信号 ϕ_1 が出力され、さらにインバータ38、39で反転され、図9

(h)、(i)に示す制御信号 ϕ_2 、 ϕ_3 が出力される。メモリセルMC1、MC2からデータが読出される以前は、制御信号 ϕ_1 が「L」になっており、図6に示したスイッチSW1、SW2が開かれている。また、制御信号 ϕ_2 、 ϕ_3 が「H」レベルであるため、スイッチSW3～SW6が導通しているため、コンデンサC1、C2に差動回路6のオフセット電圧が蓄えられる。

【0053】アドレス信号が変化してATD信号が立上ると、制御信号 ϕ_1 が「H」レベルになり、制御信号 ϕ_2 、 ϕ_3 が「L」レベルになって、スイッチSW3～SW6が非導通になり、スイッチSW1、SW2が導通し、差動回路6の入力がデータ出力線に接続される。そして、差動回路6から図9(j)に示す読出データRDが出力される。

【0054】図10はこの発明の他の実施例を示す回路図である。この実施例は、電流転送回路にこの発明を適用したものである。すなわち、図21に示した電流転送回路7にダイナミックカレントミラー回路41が設けられ、このダイナミックカレントミラー回路41にオフセット電流を蓄積し、電流転送回路7からのオフセット電流をキャンセルするようにしたものである。すなわち、図21に示した従来例のnチャネルトランジスタQ27のドレインはpチャネルトランジスタQ41のドレインに接続されるとともに、nチャネルトランジスタとpチャネルトランジスタを組合わせたスイッチSW7の入力に接続され、スイッチSW7の出力はpチャネルトランジスタQ41のゲートとコンデンサC5の一端に接続される。コンデンサC5の他端とpチャネルトランジスタQ41のソースは電源電圧Vccのラインに接続される。nチャネルトランジスタQ28のドレインはpチャネルトランジスタQ42のドレインとnチャネルトランジスタおよびpチャネルトランジスタを組合わせたスイッチSW8の入力に接続される。スイッチSW8の出力はpチャネルトランジスタQ42のゲートとコンデンサC6の一端とに接続され、コンデンサC6の他端とpチャネルトランジスタQ42のソースには電源電圧Vccが与えられる。スイッチSW7、SW8を構成するpチャネルトランジスタのゲートには制御信号 ϕ_4 が与えられ、nチャネルトランジスタのゲートには制御信号 ϕ_4 がインバータ44で反転されて与えられる。

【0055】図11は図10に示したスイッチを切換えるための制御信号 ϕ_4 を発生する回路の電気回路図であ

る。

【0056】図7に示したATD発生回路からATD信号がNORゲート52の一端と遅延回路53とに与えられる。遅延回路53の出力はNORゲート52の他方入力端に与えられる。NORゲート52の出力はインバータ56で反転されて、制御信号 ϕ_4 として出力される。

【0057】図12～図14はダイナミックカレントミラー回路41の動作を説明するための図であり、図15は図10の動作を説明するためのタイムチャートである。

【0058】次に、図10～図15を参照して、この発明の他の実施例の動作について説明する。図15(a)に示すようにアドレス信号が変化すると、図15(b)に示すATD信号が発生される。センスアンプ駆動信号SAEはコラム選択信号CSLと同一タイミングで与えられる。このセンスアンプ駆動信号SAEによって電流転送回路7が駆動される。ATD信号がNORゲート52と遅延回路53とに与えられると、NORゲート52の出力がインバータ56で反転され、「H」レベルの制御信号 ϕ_4 が出力される。ここで、ATD信号が入力されるまでは、制御信号 ϕ_4 は図15(e)に示すように「L」レベルとなっている。このため、スイッチSW7とSW8が導通しており、pチャネルトランジスタQ41とQ42のドレインとゲートはそれぞれ接続されるので、同電位となり、pチャネルトランジスタQ41、Q42は図12に示すようにMOSダイオードとして動作している。このため、コンデンサC5、C6にはpチャネルトランジスタQ41、Q42のゲート電圧が蓄積される。なお、図12～図14において、説明のためにノードB側の電流値がデータ読出し前であっても大きい値を取っているものと想定し、図12の矢印の数が電流の大きさをシンボルとして示している。

【0059】ATD信号がNORゲート52と遅延回路53とに入力されると、制御信号 ϕ_4 は図15(e)に示すように「H」レベルに立上る。このため、スイッチSW7、SW8が非導通になり、pチャネルトランジスタQ41、Q42のそれぞれのゲートとドレインが離されるが、pチャネルトランジスタQ41とQ42はスイッチSW7、SW8が導通していたとき流れていた電流を流し続け、図13に示すように定電流源として動作する。すなわち、ダイナミックカレントミラー回路41は前述の図23に示したように電流転送回路の入力端子の間にオフセット電流値に相当する大きさを持つオフセット電流源13が接続されているのと等価な状態になる。

【0060】この状態でメモリセルからのデータが電流転送回路7に与えられると、コンデンサC5、C6に記憶されている電流からの変化分をセンスでき、図14に示すように、ノードBから電流が取出される。また、取出し時のノードA、Bは高インピーダンスであるため、ゲインが大きく、この点でも高速な信号読出しが可能と

なる。

【0061】したがって、この実施例においても、電流転送回路7にオフセットキャンセル機能を有するダイナミックカレントミラー回路41を接続したことによって、センスアンプのオフセットを気にせず高速にセンスでき、さらに読出時のノードA、Bは高インピーダンスであるため、ゲインが大きく、高速な信号読出しが可能となる。

【0062】図16はこの発明のさらに他の実施例を示す図である。この実施例は、1つのデータ線に対して2つのオフセットキャンセル機能付センスアンプを設けたものである。すなわち、図1に示した実施例では、コンデンサC1、C2にオフセット電圧を蓄積するようにしたので、ある一定時間を経過すると、コンデンサC1、C2に蓄積されたオフセット電圧が放電してしまい、情報が失われてしまう。このため、頃合を見計らってコンデンサC1、C2を再充電しなければならず、余分なタイミングを作らなければならず、高速動作について不利である。そこで、この実施例では、1つのデータ出力線に複数のオフセットキャンセル機能付センスアンプ14a、14bが接続され、これらのオフセットキャンセル機能付センスアンプ14a、14bを交代で使用し、一方のセンスアンプが使用中のときに、使用していない他方のセンスアンプのオフセットをキャンセルすることにより、キャンセルする時間を稼いでいる。

【0063】オフセットキャンセル機能付センスアンプ14aは、差動回路6aとスイッチSW1a～SW6aとコンデンサC1a、C1bを含み、オフセットキャンセル機能付センスアンプ14bは、差動回路6bとスイッチSW1b～SW6bとコンデンサC2b、C2bを含み、図1の実施例と同様にして接続される。さらに、差動回路6a、6bの相補出力は、それぞれスイッチSW9aとSW10a、SW9bとSW10bに接続され、それぞれのスイッチの出力側に図示しないが図6に示した出力アンプ15が接続される。

【0064】この実施例におけるスイッチSW1a～SW6a、SW1b～SW6bのキーシーケンスは図1と同じであるため省略するが、差動回路6aで信号を読出している間はスイッチSW9aとSW10aを導通させ、スイッチSW9bとSW10bを非導通にし、この間に差動回路6bのオフセットをキャンセルし、逆に差動回路6bで信号を読出している間はスイッチSW9bとSW10bを導通させ、スイッチSW9aとSW10aを非導通にして差動回路6aのオフセットをキャンセルすればよい。

【0065】上述のごとく、この実施例によれば、スイッチSW9aとSW10a、SW9bとSW10bを適当なタイミングで切換えれば、特別にオフセットをキャンセルする時間を作らなくても、オフセットをキャンセルでき、図1に示した実施例の効果をすべて含んだま

ま、より高速なセンス回路を得ることができる。

【0066】図17は図16に示した実施例のより具体的な電気回路図である。主な構成は、前述の図6と同様であるので省略するが、図16に示したスイッチSW9a、SW10a、SW9b、SW10bはそれぞれnチャネルトランジスタによって構成されており、スイッチSW9a、SW10aのゲートには制御信号 ϕ_A が与えられ、スイッチSW9bとSW10bのゲートには制御信号 ϕ_B が与えられる。

【0067】図18は制御信号 ϕ_A 、 ϕ_B を発生する回路の回路図である。図18において、ATD信号はNORゲート61の一方入力端と遅延回路62とに与えられる。遅延回路62の出力はNORゲート61の他方入力端に与えられる。NORゲート61の出力はインバータ63で反転され、ANDゲート64とゲート67の一方入力端に与えられる。ANDゲート64の出力からは制御信号 ϕ_A が出力され、ゲート67の出力からは制御信号 ϕ_B が与えられる。これらの制御信号 ϕ_A 、 ϕ_B はORゲート65に与えられる。ORゲート65の出力はフリップフロップ66に入力され、フリップフロップ66のQ出力はANDゲート64の他方入力端とゲート67の他方入力端とに与えられる。

【0068】図19は図17に示した例の動作を説明するためのタイムチャートである。図19(a)に示すようにアドレス信号が変化すると、図19(b)に示すようにATD信号が発生される。フリップフロップ66がリセットされていると、そのQ出力は図19(c)に示すように「L」レベルになっている。ATD信号が遅延回路62によって遅延され、NORゲート61の出力から「L」レベル信号が出力され、これがインバータ63で反転されて「H」レベルになる。このため、ゲート67の出力から図19(f)に示すように「H」レベルとなる制御信号 ϕ_B が出力される。この制御信号 ϕ_B に応じて、図17のスイッチSW9bとSW10bとが導通し、差動回路6bからの信号が読出される。制御信号 ϕ_B が「H」レベルになるとフリップフロップ66がセットされ、そのQ出力が「H」レベルになってANDゲート64に与えられる。次に、ATD信号が出力されると、ANDゲート64が開かれているため、このANDゲート64から制御信号 ϕ_A が出力され、この制御信号 ϕ_A によってスイッチSW9aとSW10aとが導通し、差動回路6aから信号が読出される。なお、制御信号 $\phi_1 \sim \phi_3$ のタイミングは図9と同じであり、センスアンプ活性化信号SAE_A、SAE_BはSAEと同じタイミングである。

【0069】

【発明の効果】請求項1に係る発明によれば、信号の読出し前に差動回路の出力に現れるオフセット電圧をコンデンサに蓄積しておき、信号の読出時に入力信号からオフセット電圧を差し引いて差動回路に入力することによ

り、オフセット電圧をキャンセルすることができ、入力信号の大きさを必要以上に大きくする必要がなくなり、高速で動作させることができる。

【0070】請求項5に係る発明では、請求項1のオフセットキャンセル機能付センスアンプをデータ線に対して少なくとも2つ並列に設けて、一方で信号を増幅している間に他方のコンデンサにオフセット電圧を蓄積することによって、コンデンサを再充電するために余計なタイミングを作る必要がなく、より高速なセンス動作を実現できる。

【0071】請求項7に係る発明では、信号読出し前に電流転送回路の出力に生じるオフセット電流に相当する電圧をコンデンサに蓄積し、信号の読出時にコンデンサに蓄積された電圧によって電流源から電流を流し、転送回路の出力に現れるオフセット電流を相殺することによって、オフセット電流をキャンセルでき、高速な信号読出しが可能となる。

【図面の簡単な説明】

【図1】 この発明の一実施例の構成を示す図である。

【図2】 図1に示したオフセットキャンセル機能付センスアンプの動作原理を説明するための図である。

【図3】 オフセットキャンセル機能付センスアンプにおいてコンデンサにオフセット電圧を蓄積する動作を説明するための図である。

【図4】 オフセットキャンセル機能付センスアンプにおいてオフセット電圧をキャンセルする動作を説明するための図である。

【図5】 オフセットキャンセル機能付センスアンプの他の例を示す図である。

【図6】 オフセットキャンセル機能付センスアンプの具体的な電気回路図である。

【図7】 A/D信号を発生するための制御回路を示す回路図である。

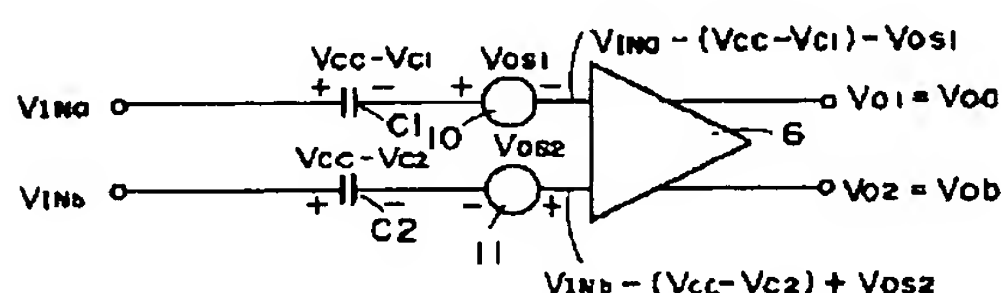
【図8】 制御信号 $\phi_0 \sim \phi_3$ を発生するための制御回路の回路図である。

【図9】 図6に示したオフセットキャンセル機能付センスアンプの動作を説明するためのタイムチャートである。

【図10】 この発明の他の実施例のオフセットキャンセル機能付電流センス回路の回路図である。

【図11】 図10に示した制御信号 ϕ_4 を発生するための制御回路の回路図である。

【図4】



【図12】 図10に示したダイナミックカレントミラー回路においてオフセット電流を蓄積する動作を説明するための図である。

【図13】 ダイナミックカレントミラー回路が電流源として動作する機能を説明するための図である。

【図14】 ダイナミックカレントミラー回路でオフセット電流をキャンセルする動作を説明するための図である。

【図15】 図10に示したオフセットキャンセル機能付電流センス回路の動作を説明するためのタイムチャートである。

【図16】 この発明の他の実施例におけるオフセットキャンセル機能付センスアンプを複数設けた例を示す図である。

【図17】 図16に示した複数のオフセットキャンセル機能付センスアンプの具体的な回路図である。

【図18】 図17に示した制御信号 ϕ_A, ϕ_B を発生するための制御回路を示す回路図である。

【図19】 図17に示した例の動作を説明するためのタイムチャートである。

【図20】 従来のSRAMの構成を示す図である。

【図21】 従来の電流センス回路を示す図である。

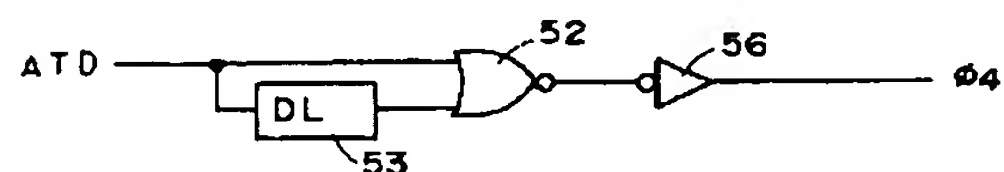
【図22】 従来のセンスアンプにおけるオフセット電圧を説明するための図である。

【図23】 従来の電流転送回路においてオフセット電流が生じる動作を説明するための図である。

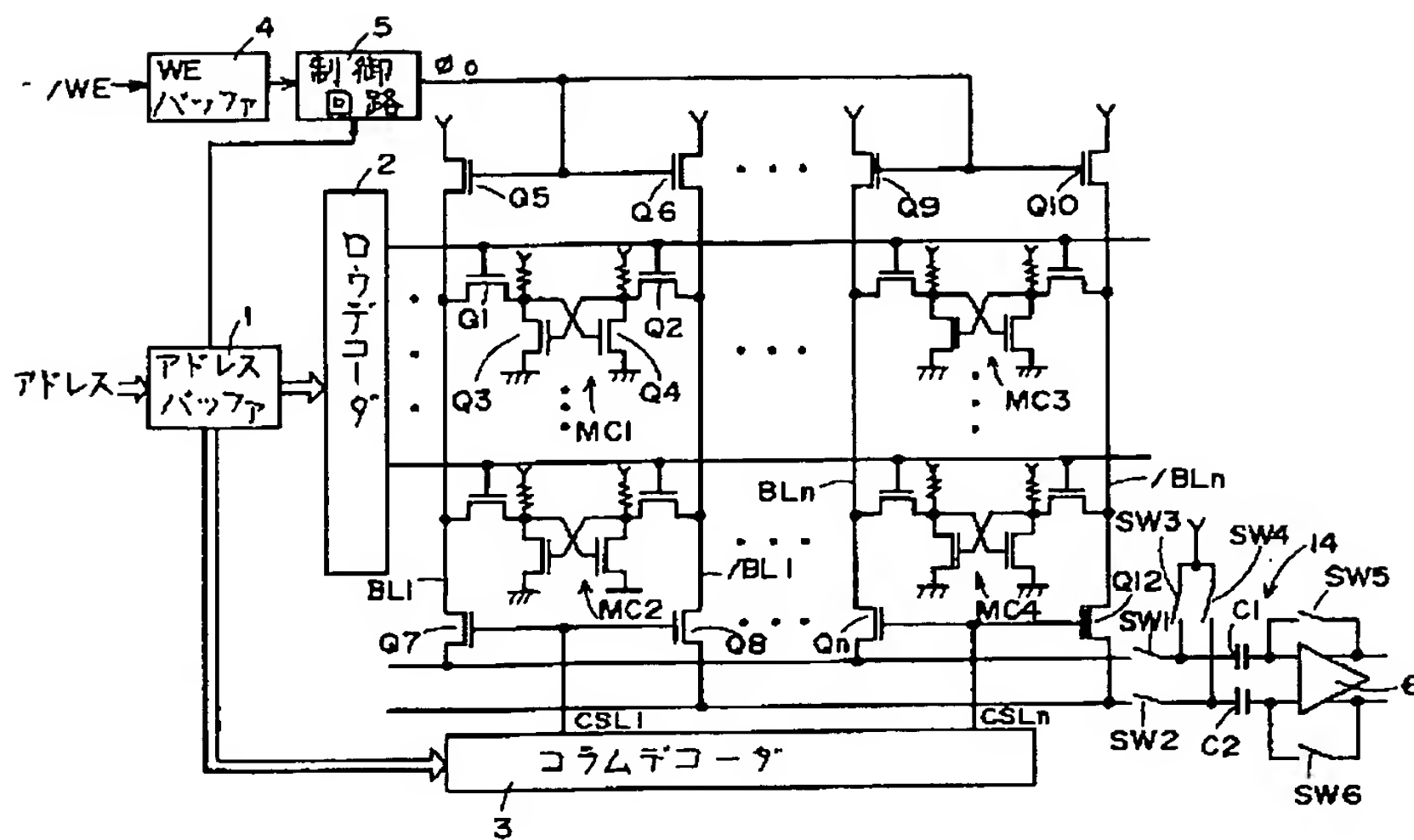
【符号の説明】

1 アドレスバッファ、2 ロウデコーダ、3 コラムデコーダ、4 WEバッファ、5 制御回路、6 差動回路、7 電流転送回路、14, 14a, 14b オフセットキャンセル機能付センスアンプ、15 出力アンプ、17, 17a, 17b, 21~27, 35~39, 56 インバータ、31, 32, 51, 61 NORゲート、33, 34, 53, 62 遅延回路、64 ANDゲート、65 ORゲート、66 フリップフロップ、41 ダイナミックカレントミラー回路、Q1~Q12, Q13~Q17, Q13a~Q17a, Q13b~Q17b, Q21~Q28, Q31~Q34, Q41, Q42 トランジスタ、SW1~SW8 スイッチ、MC1~MC4 メモリセル、C1, C1a, C1b, C2, C2a, C2b, C3, C4, C5, C6 コンデンサ

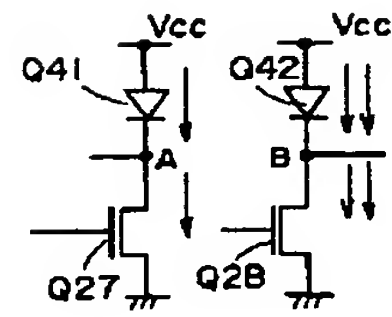
【図11】



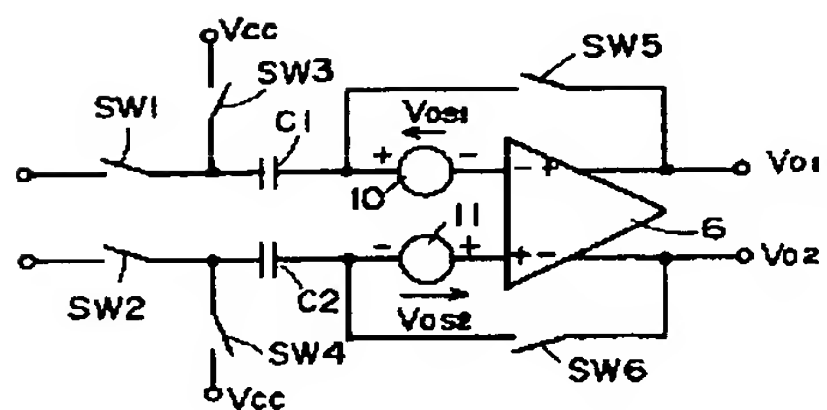
【図 1】



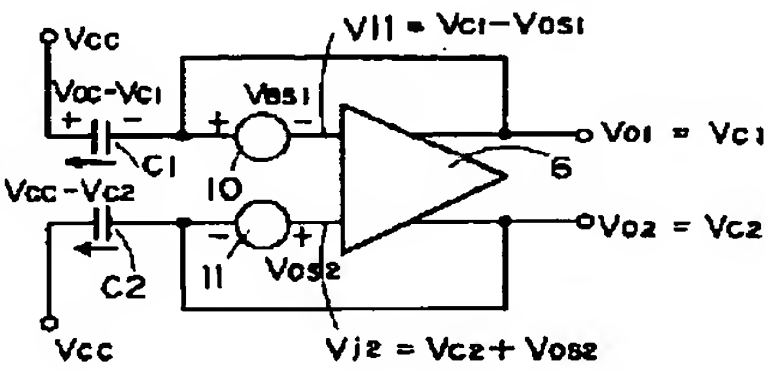
【図 1 2】



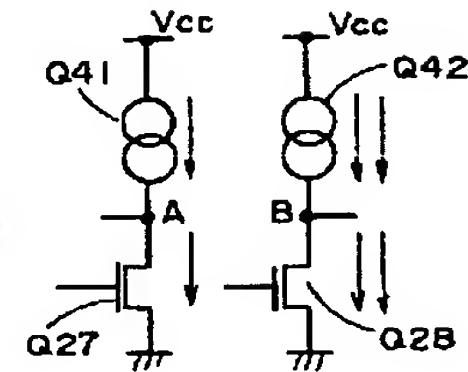
【図 2】



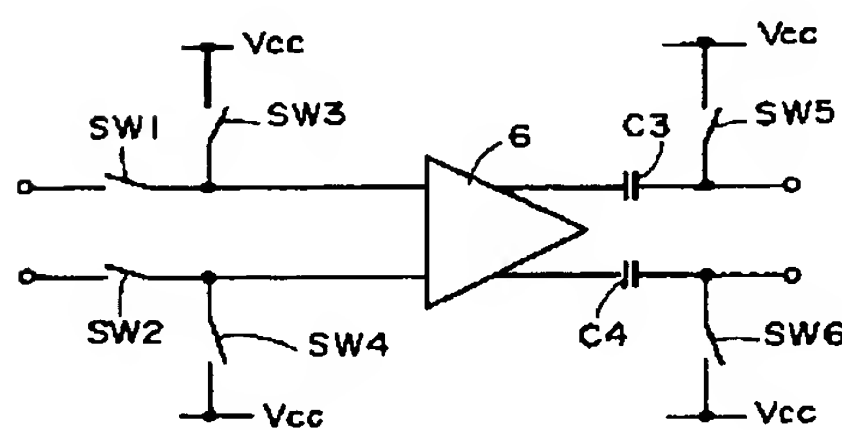
【図 3】



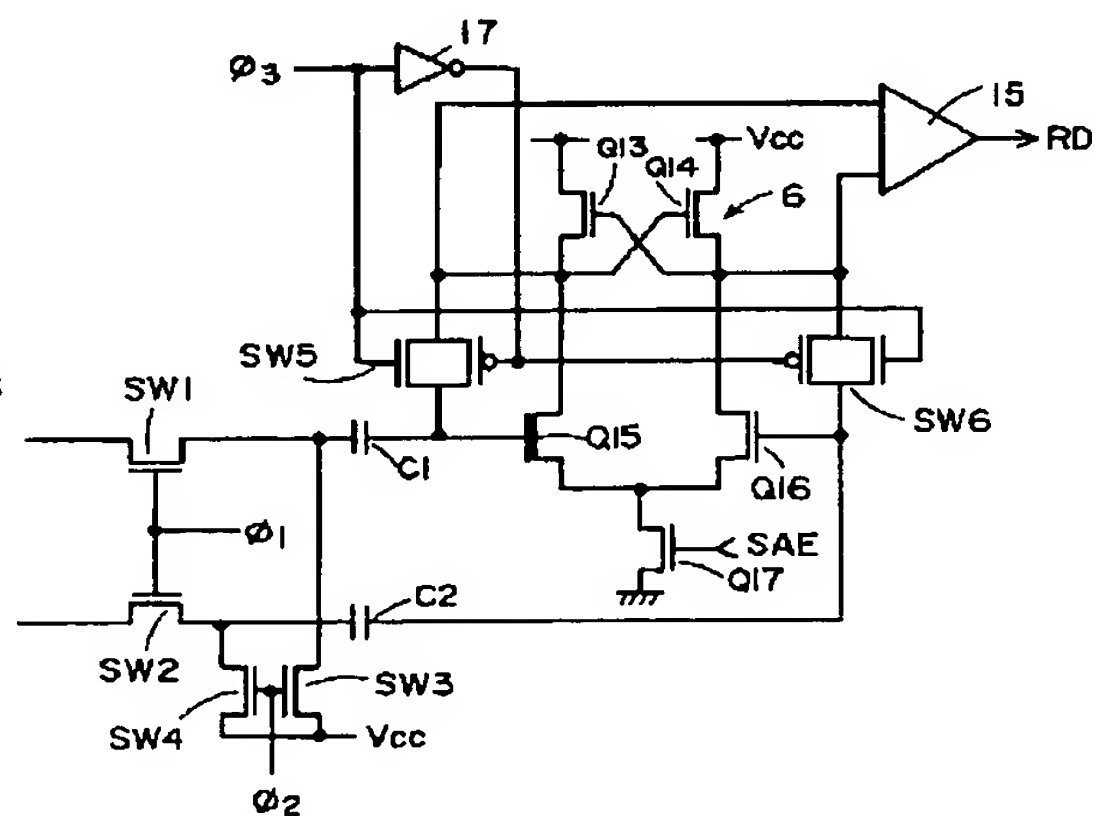
【図 1 3】



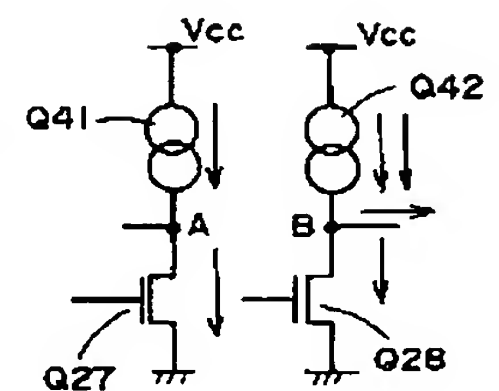
【図 5】



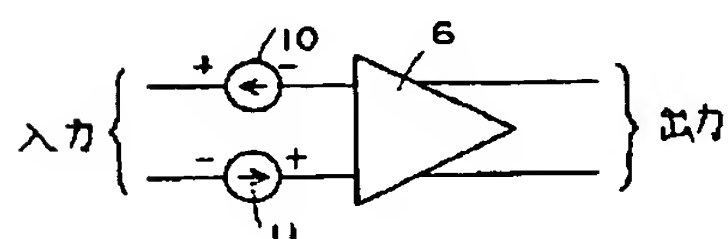
【図 6】



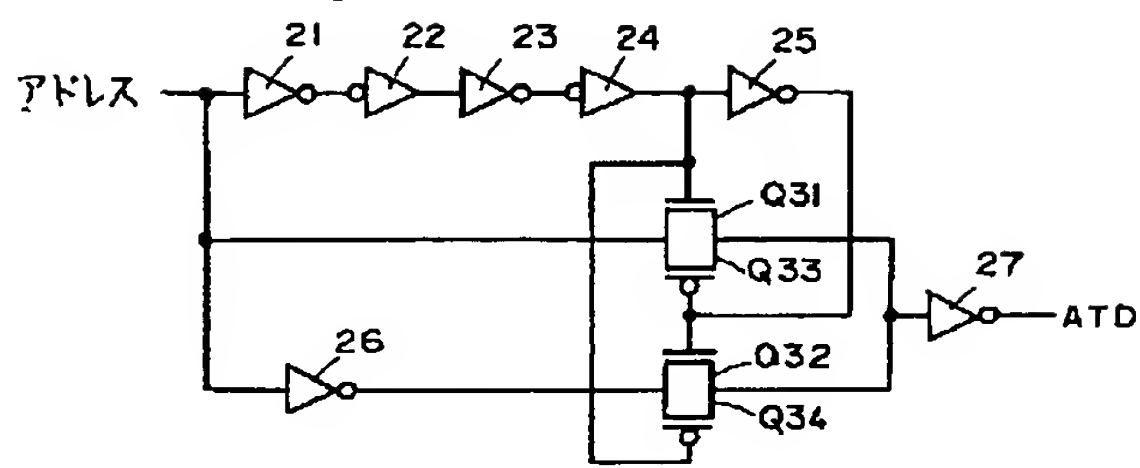
【図 1 4】



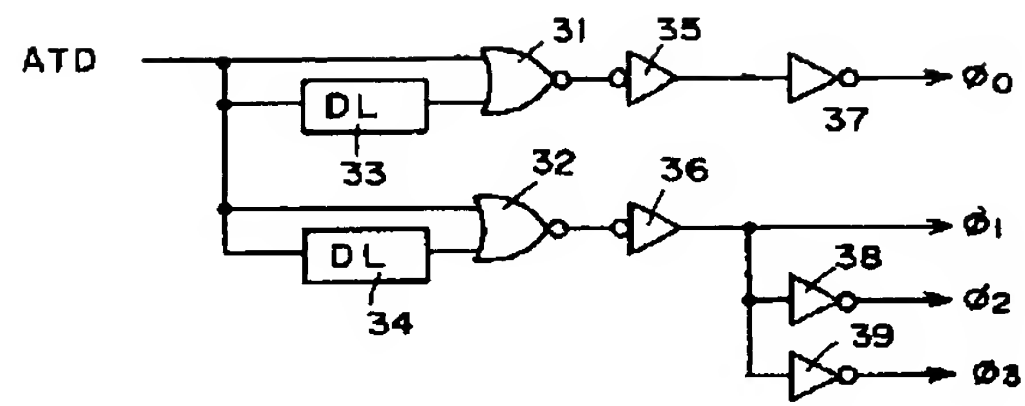
【図 2 2】



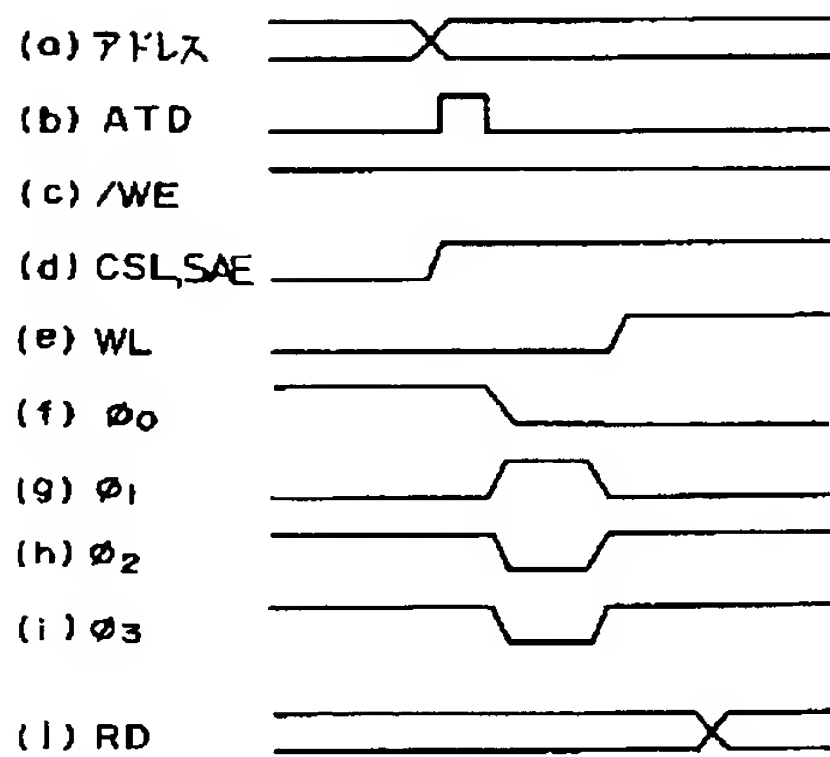
【図 7】



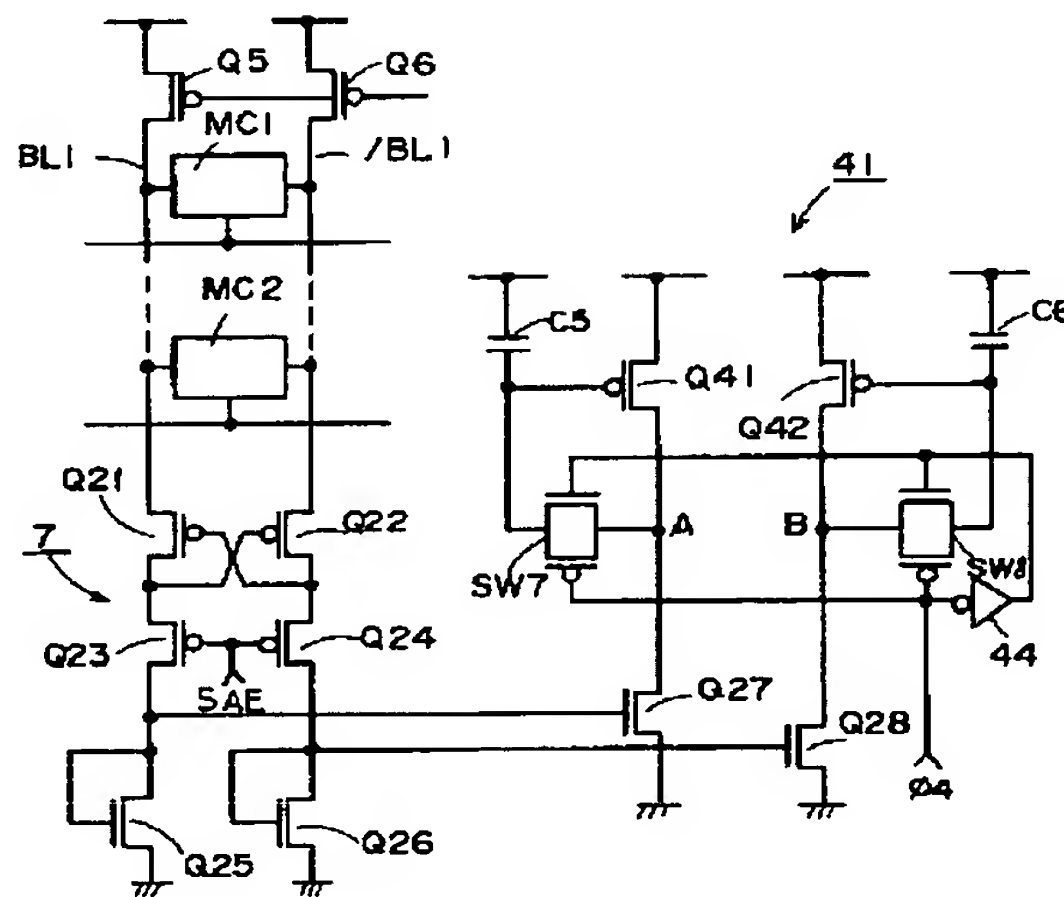
【図 8】



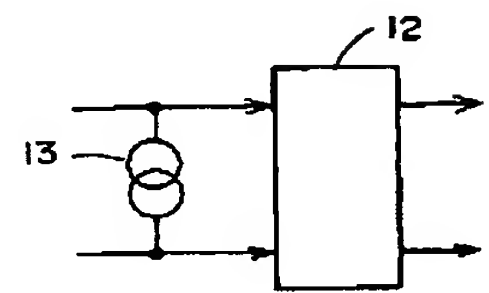
【図 9】



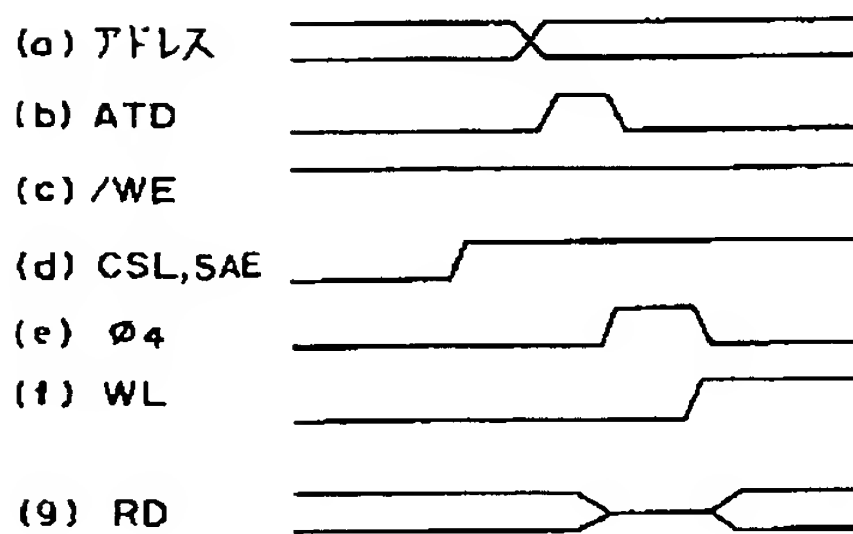
【図 10】



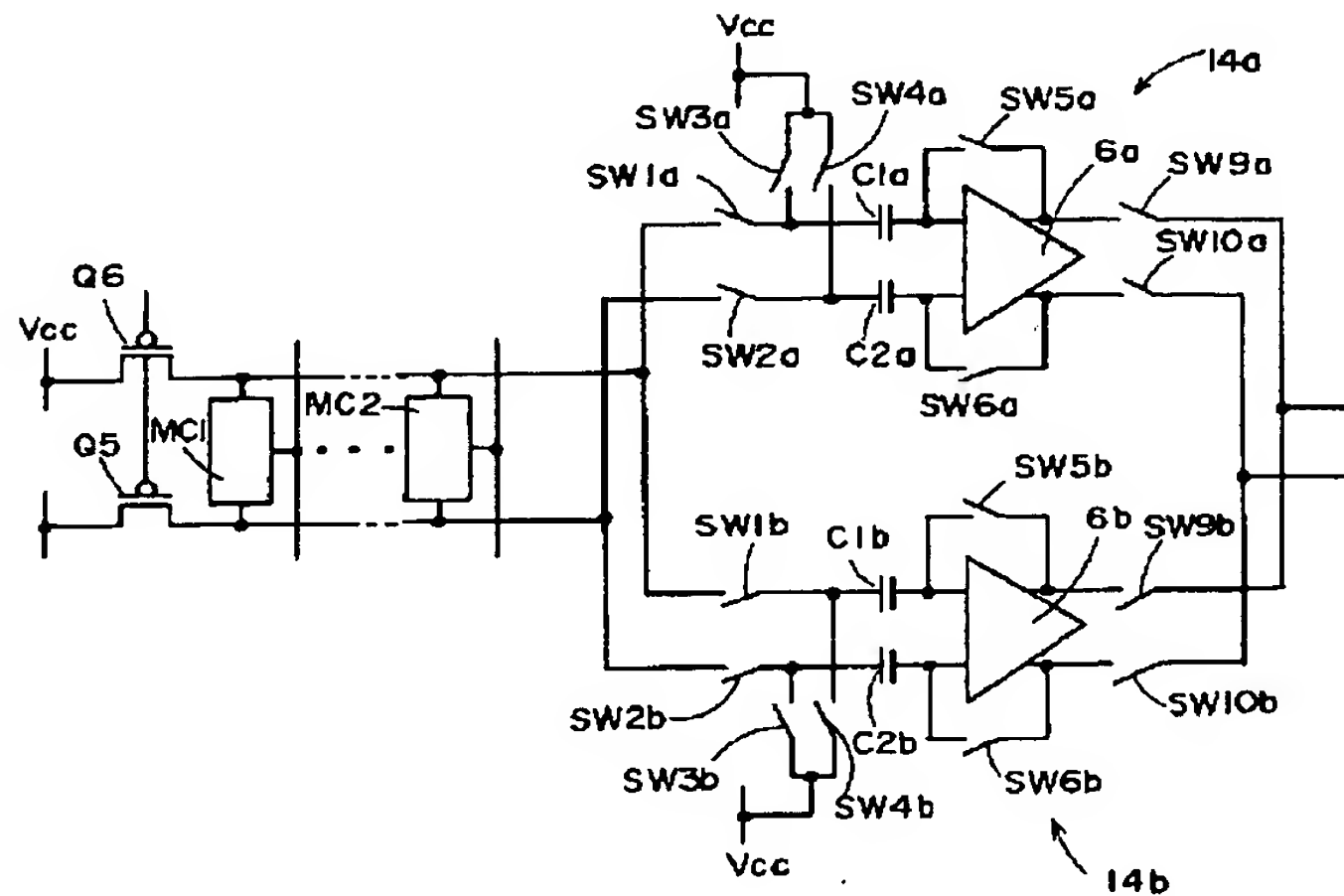
【図 23】



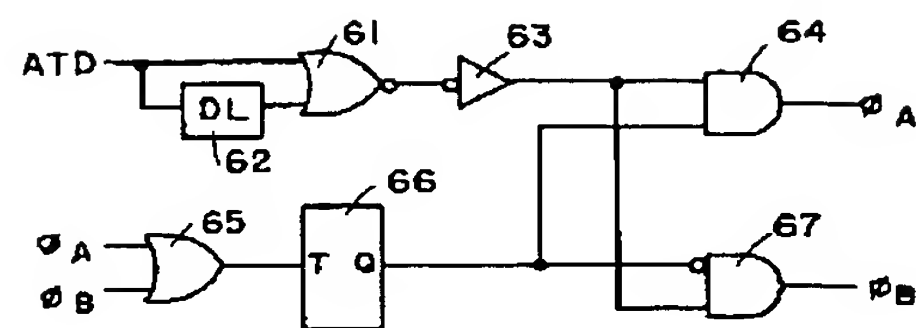
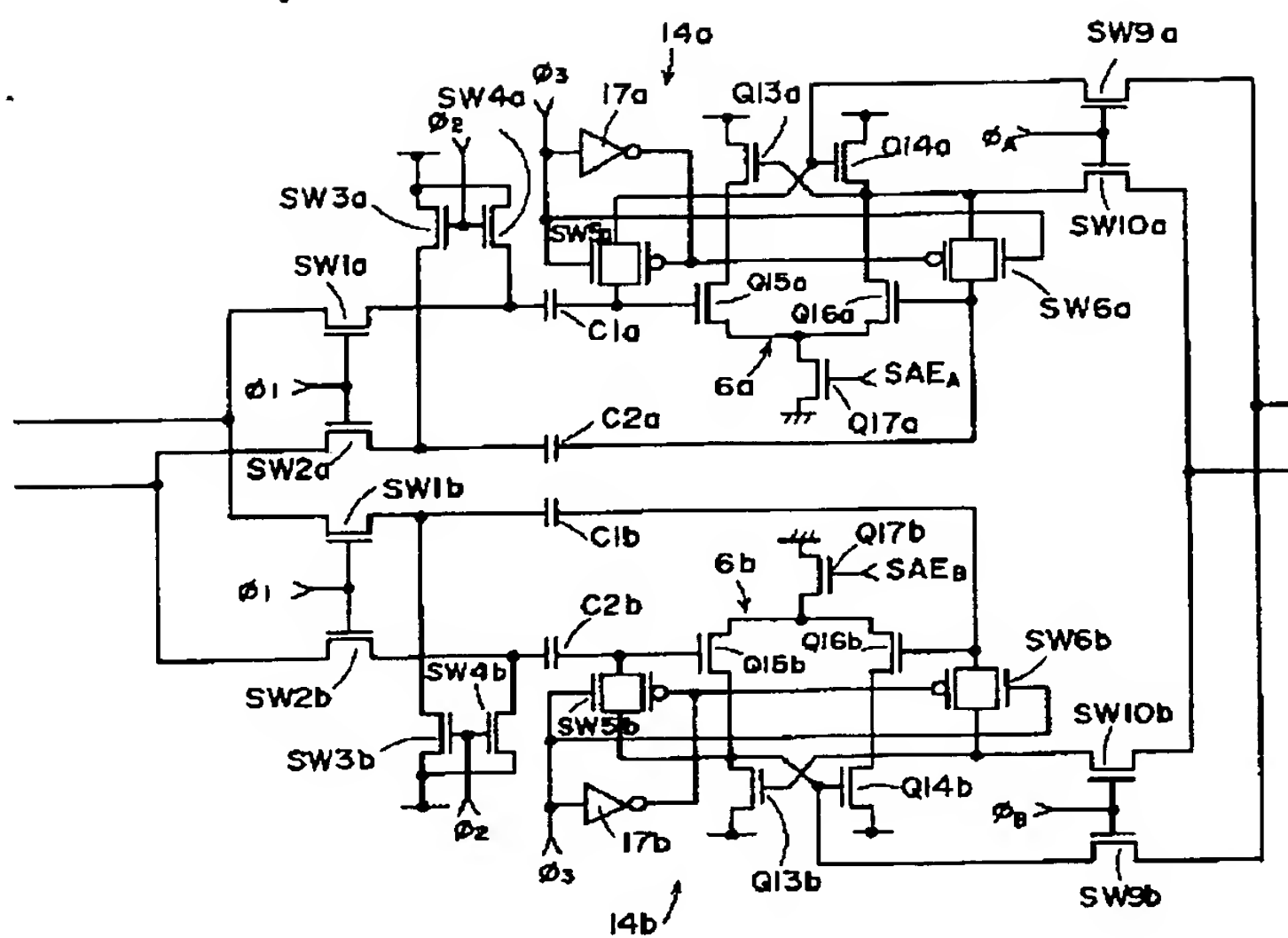
【図 15】



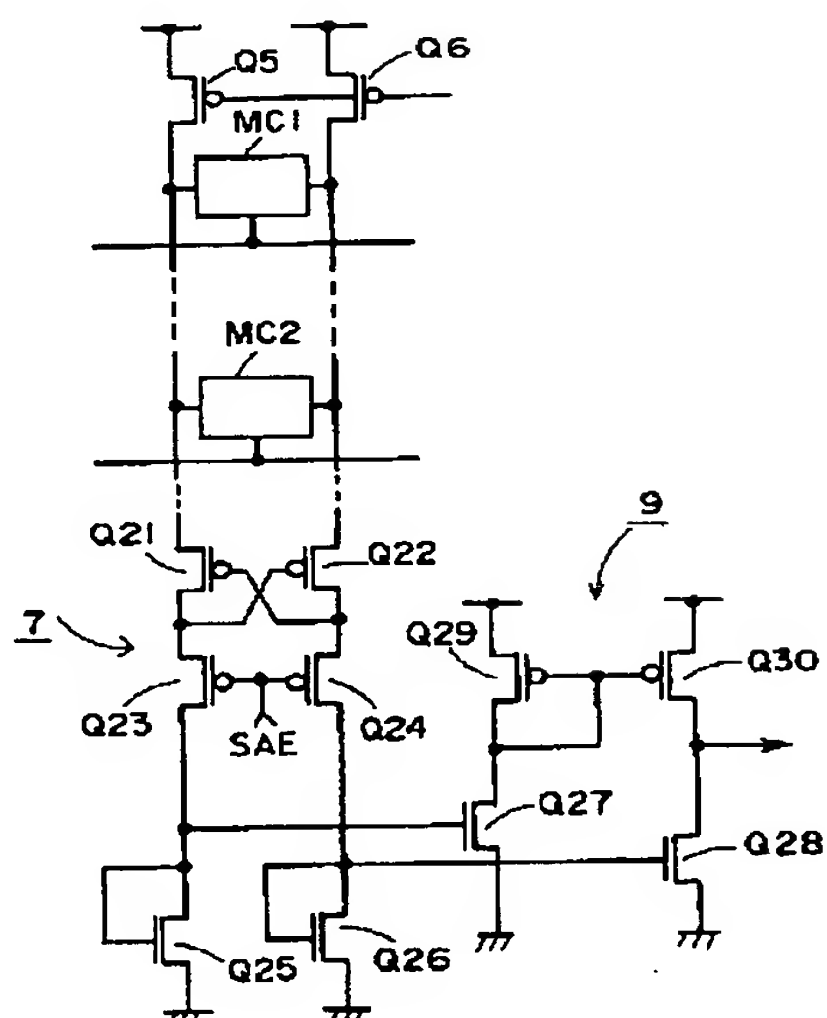
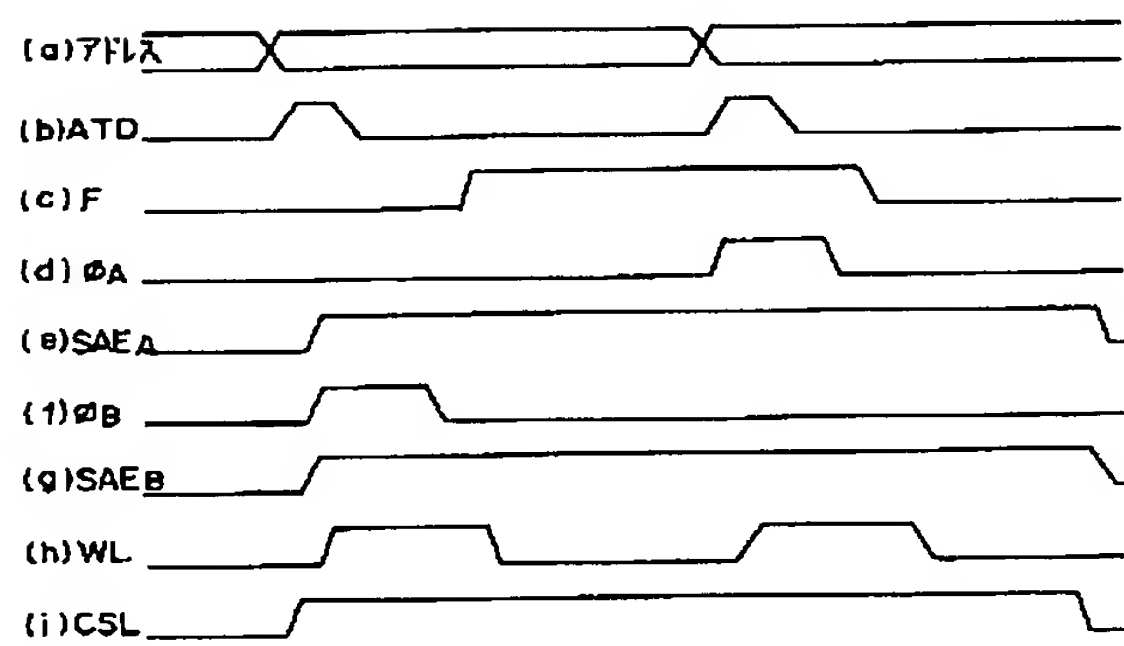
【図 16】



【図 18】



【図 2 1】



【図 20】

